

目錄

序言

第一篇 組合邏輯基本概念與軟/硬體工具的認識

第一章 組合邏輯的基礎概念

- 一、基本邏輯閘的真值表及其特性..... 1-3
- 二、基本邏輯閘的相互取代..... 1-6
- 三、邏輯電路的化簡..... 1-9

第二章 CPLD 組合邏輯電路設計與軟/硬體模擬

- QUARTUS II 軟體
- 數位邏輯設計認證 CPLD 燒錄實習板

- 一、QUARTUS II 環境的認識..... 2-3
- 二、建立一個 CPLD 組合邏輯電路..... 2-7
- 三、以波形功能模擬一個 CPLD 組合邏輯電路..... 2-15
- 四、CPLD 組合邏輯電路硬體實作模擬..... 2-21

第二篇 數位邏輯設計實用級認證試題解析

第三章 CPLD 半加減法器電路設計與實作

- 一、半加減法器電路設計..... 3-2
- 二、建立電路圖檔..... 3-4
- 三、繪製電路圖檔..... 3-7
- 四、以波形功能模擬一個 CPLD 組合邏輯電路..... 3-11
- 五、CPLD 組合邏輯電路硬體實作..... 3-17

第四章 CPLD 解碼器與編碼器電路設計

- 一、具有致能控制的 2 to 4 解碼器電路設計..... 4-2
- 二、具有優先權的 4 to 2 編碼器電路設計..... 4-19

第五章 CPLD 多工器與解多工器電路設計

- 一、4 to 1 多工器電路設計..... 5-2
- 二、1 to 4 解多工器電路設計..... 5-15

第 六 章	CPLD 漣波計數器電路設計	
	一、上數漣波計數器電路設計.....	6-3
	二、下數漣波計數器電路設計.....	6-6
	三、繪製八模下數漣波計數器波形模擬電路圖檔.....	6-8
	四、波形功能模擬.....	6-11
	五、繪製 CPLD 實作電路圖檔.....	6-14
	六、CPLD 電路硬體實作.....	6-18
第 七 章	CPLD 同步計數器電路設計	
	一、同步計數器電路設計原理.....	7-2
	二、六模上數同步計數器實作.....	7-7
	三、五模下數同步計數器電路實作.....	7-18
第 八 章	CPLD 環形計數器電路設計	
	一、環形計數器電路設計原理.....	8-2
	二、四模環形計數器電路實作.....	8-4
	三、七模強生計數器電路實作.....	8-16
第三篇	數位邏輯設計專業級認證試題解析	
第 九 章	CPLD 跑馬燈控制電路設計	
	一、CPLD 手控跑馬燈控制電路設計.....	9-2
	二、建立電路圖檔.....	9-4
	三、CPLD 硬體電路實作.....	9-16
第 十 章	CPLD 電子骰子控制電路設計	
	一、CPLD 電子骰子應用電路設計.....	10-4
	二、建立電路圖檔.....	10-8
	三、CPLD 硬體電路實作.....	10-25
第 十 一 章	CPLD 二位數計數器應用電路設計	
	一、二位數計數器應用電路設.....	11-2
	二、建立電路圖檔.....	11-7
	三、CPLD 硬體電路實作.....	11-21

第十二章	CPLD 紅綠燈應用電路設計	
	一、紅綠燈應用電路設計	12-2
	二、建立電路圖檔	12-6
	三、CPLD 硬體電路實作	12-20
第十三章	模 24 計數器積體電路板介紹與製作	
	一、計數器積體電路板介紹	13-2
	二、已佈線區電路板銲接實作	13-4
	三、模 24(00-23)計數器電路設計與實作	13-6
	四、模 24(00-23)計數電路板測試	13-14
	五、除錯技巧	13-15
第十四章	模 12、15 與 18 計數器積體電路板製作	
	一、模 12(00-11)計數器電路設計與實作	14-2
	二、模 15(00-14)計數器電路設計與實作	14-11
	三、模 18(00-17)計數器電路設計與實作	14-20
■ 附錄 A	CPLD 燒錄介面—LPT1 與 USB 驅動程式的設定 及 USB 燒錄軟體的設定	
■ 附錄 B	數位邏輯設計實用級暨專業級學科試題 (請參見書附光碟 PDF 電子檔)	
■ 附錄 C	數位邏輯設計實用級暨專業級學科試題解答 (請參見書附光碟 PDF 電子檔)	
■ 參考書目		

2

CPLD 組合邏輯電路設計與 軟/硬體模擬

—— QUARTUS II 軟體

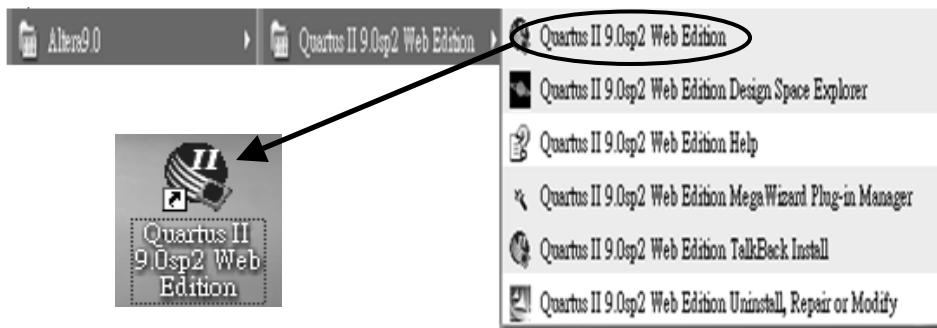
—— 數位邏輯設計認證 CPLD 燒錄實習板

本章學習要點

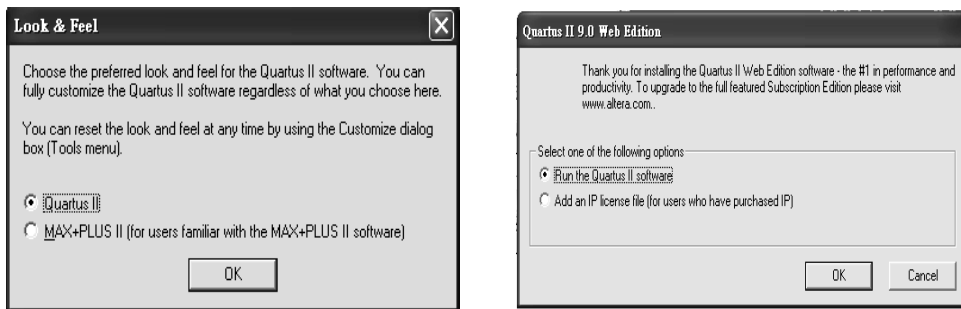
- QUARTUS II 環境的認識
- 建立一個 CPLD 組合邏輯電路
- 以波形功能模擬一個 CPLD 組合邏輯電路
- CPLD 組合邏輯電路硬體實作模擬
- 硬體實作功能模擬練習
(請參照隨書光碟內硬體模擬練習檔)
- 學科 51-100 題隨堂練習
(請參見書附光碟——附錄 B 第二回)

使用者若要在 QUARTUS II 環境下繪製、編譯或模擬一個數位邏輯電路，必須先完成 QUARTUS II 軟體的取得；若要在 CPLD 實驗板上進行晶片的燒錄與電路實作，必須先安裝 LPT1 的驅動程式或 CPLD-USB 的驅動程式。本書附錄 A 詳細說明在 Windows XP 系統下，安裝 ByteBlaster (LPT1)與 CPLD-USB 驅動程式的步驟。隨書光碟內有附加如何在 Windows 7 系統下安裝驅動程式的步驟。在完成 QUARTUS II 軟體的安裝後，使用者可在桌面點選開始→所有程式→Altera9.0→Quartus II 9.0sp2 Web Edition→Quartus II 9.0sp2 Web Edition 進入 QUARTUS II 環境，操作步驟如圖(2-1)所示。

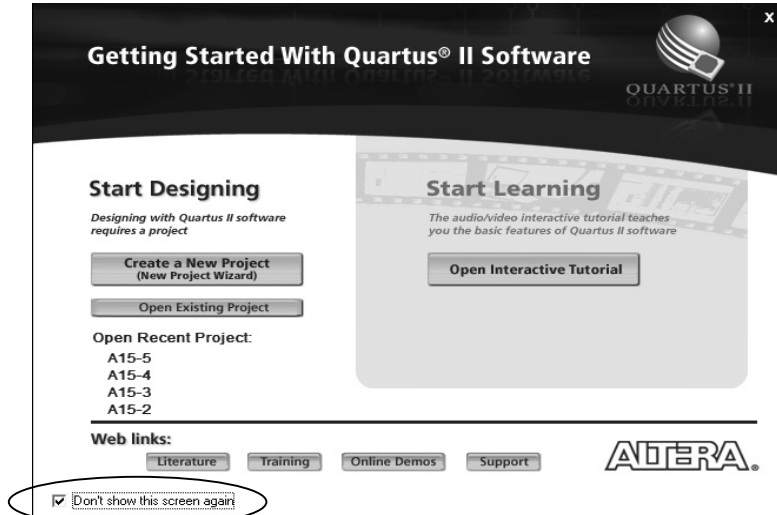
圖(2-2)為進入 QUARTUS II 主功能視窗的流程。在進入 QUARTUS II 主功能視窗前，系統會開啟一個選項視窗，詢問使用者是要以 MAX+plus II 或 QUARTUS II 功能介面視窗來設計一電路，如圖(2-2)(a)所示。本書主要是以 QUARTUS II 來設計一電路，因此點選 QUARTUS II。圖(2-2)(b)為 QUARTUS II 啟始的介面視窗，詢問使用者是否直接新增/開啟一個專案，圖(2-2)(c)為 QUARTUS II 的主功能視窗。



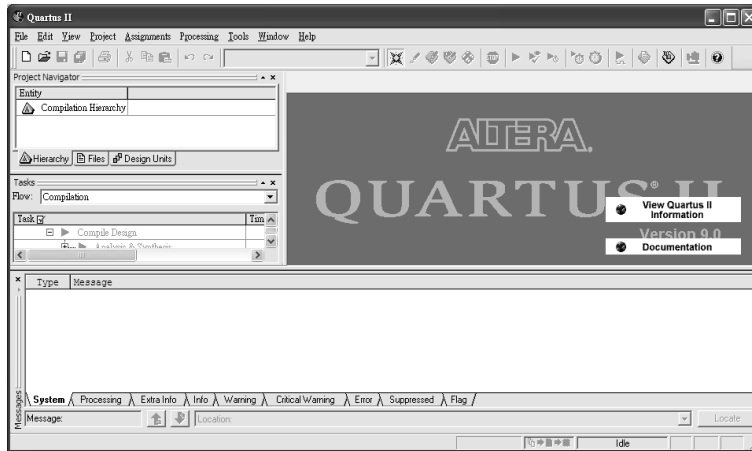
▲圖(2-1) 進入 QUARTUS II 環境。



(a)



(b)



(c)

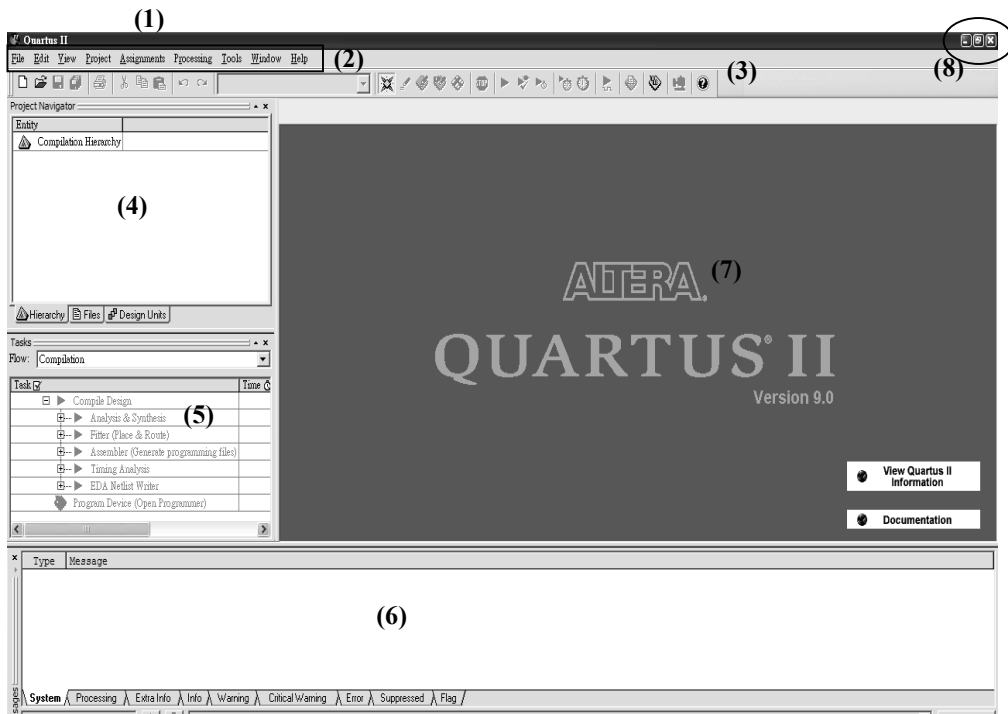
▲圖(2-2) 進入 QUARTUS II 主功能視窗。

一、QUARTUS II 環境的認識

圖(2-3)為 QUARTUS II 環境的啟始視窗；分成八個區塊，概述如下：

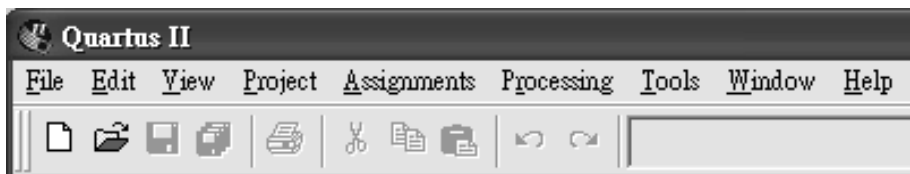
- (1) 顯示專案及檔名的路徑與名稱。
- (2) 主功能表。
- (3) 工具列按鈕。
- (4) 顯示專案及檔名的路徑與名稱的階層架構。
- (5) 顯示不同功能的工具項目。

- (6) 顯示狀態列。
- (7) 檔案內容視窗。
- (8) 視窗縮小/放大/關閉控制按鈕。



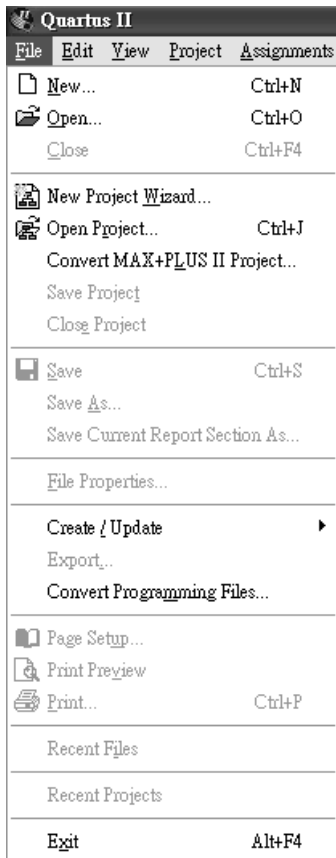
▲圖(2-3) QUARTUS II 環境的啟始視窗。

圖(2-4)為 QUARTUS II 主功能視窗，包括 File、Edit、View、Project、Assignments、Processing、Tools、Window 與 Help 九個主要功能，分別詳述如下。

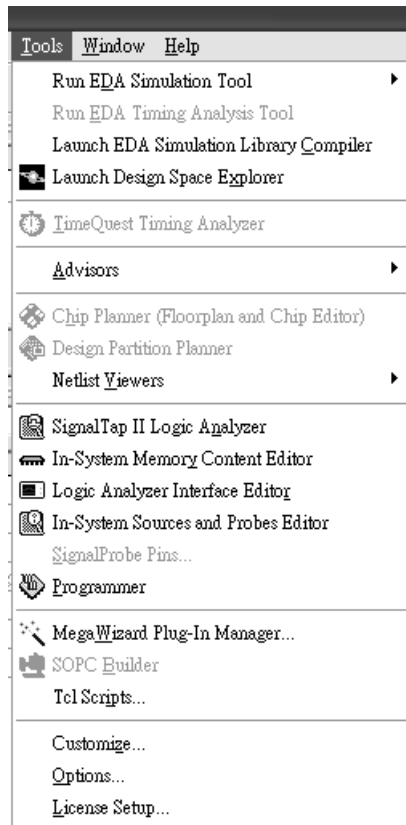


▲圖(2-4) QUARTUS II 主功能視窗。

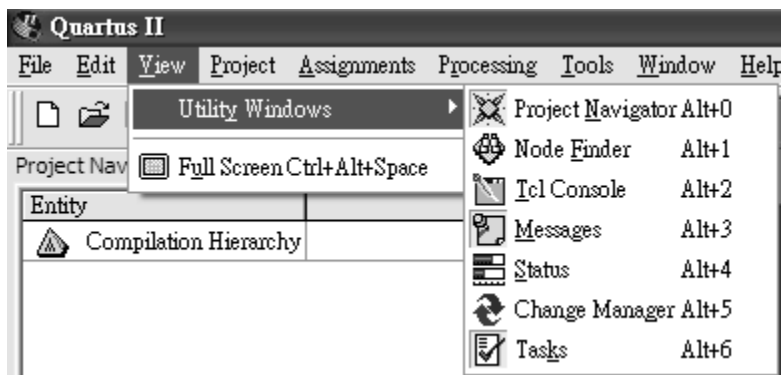
1. File：圖(2-5)(a)為 File 的子功能表，功能包括檔案與專案的開啟、儲存與轉換。例如：建立新檔(New)、開啟舊有的檔案(Open)、設定新專案的儲存路徑(New Project Wizard)、開啟舊有的專案(Open Project)、將 MAX+plus II 專案的電路轉換成 QUARTUS II 專案的電路以及離開 QUARTUS II 環境視窗(Exit)等功能。
2. Edit：提供執行電路圖的編輯功能，如插入元件與回復(Redo)/取消(Undo)編輯的功能。
3. Tools：圖(2-5)(b)為 Tools 的子功能表，常用的功能包括程式下載燒錄(Programmer)、設定使用 MAX+plus II 或 QUARTUS II 功能介面視窗來設計一電路(Customize)、設定顯示/不顯示工具列與狀態列訊息(Options)與軟體授權檔的設定(License Setup)等功能。
4. Project：執行相關專案的設定，包括專案與檔名的階層(Hierarchy)、將檔案加入(Add)專案內或自專案內移除(Remove)等功能。
5. Assignments：常用的 Assignments 子功能項包括設定 CPLD 晶片型號(Device)與設定 CPLD 晶片內所使用到的接腳位置(Pin/Location/Chip)。
6. Processing：啟動/停止編譯電路(Compiling)、模擬電路(Simulating)與時序分析(Timing Analysis)等功能。
7. View：圖(2-5)(c)為 View 的子功能表，它提供設定全螢幕檔案內容視窗(Full Screen)與各種工具視窗的開啟和關閉，包括專案的路徑與名稱(Project Navigator)、狀態(Status)與訊息(Messages)等視窗。
8. Window：常用的功能包括開啟新的視窗(New Window)、關閉視窗(Close All)與分割視窗(Tile Horizontally/Vertically)等功能。
9. Help：提供使用者查詢疑問。



(a)



(b)



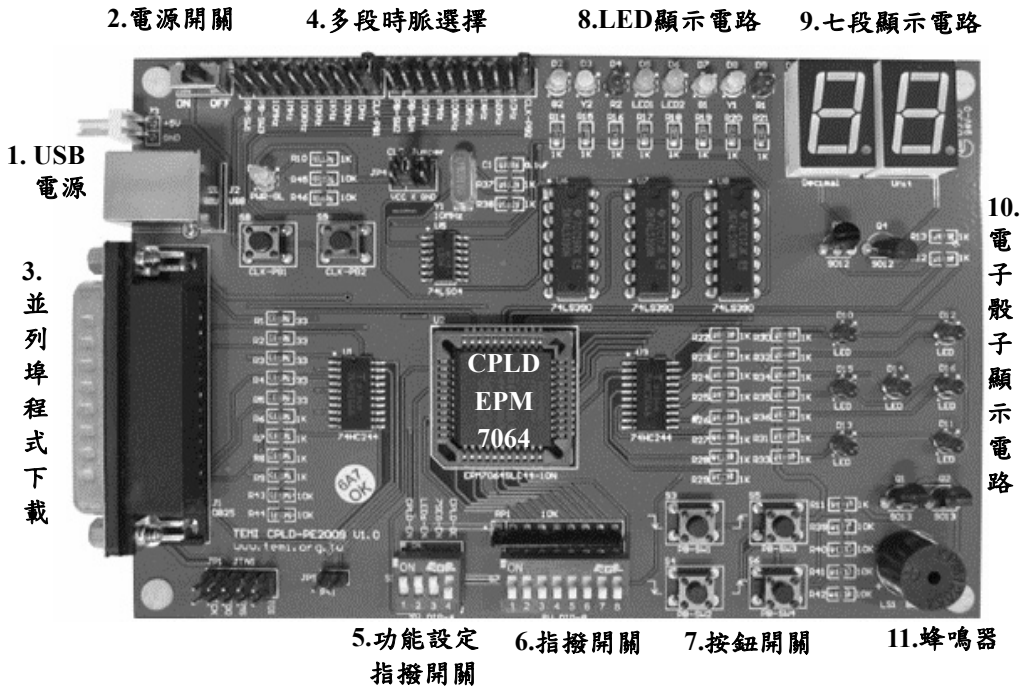
(c)

▲圖(2-5) (a)File；(b)Tools；(c)View 的子功能視窗。

四、CPLD 組合邏輯電路硬體實作模擬

(一) CPLD 燒錄實習板介紹

圖(2-25)為 EPM 7064 CPLD 燒錄實習板外觀圖、圖(2-26)為實習板介面的接腳配置圖、圖(2-27)為 EPM7064SLC44-10 晶片接腳圖及表(2-4)為實習板介面的接腳配置對照表。



▲圖(2-25) EPM 7064 CPLD 燒錄實習板。

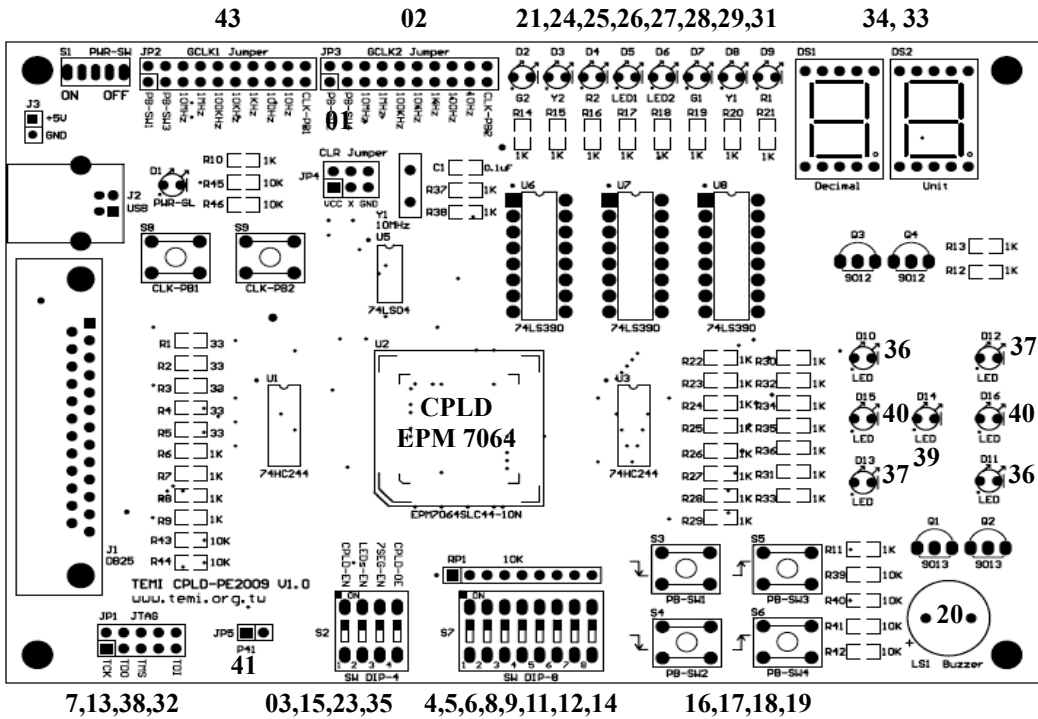
實習板輸入與輸出的介面功能分別簡述如下：

輸出端介面：

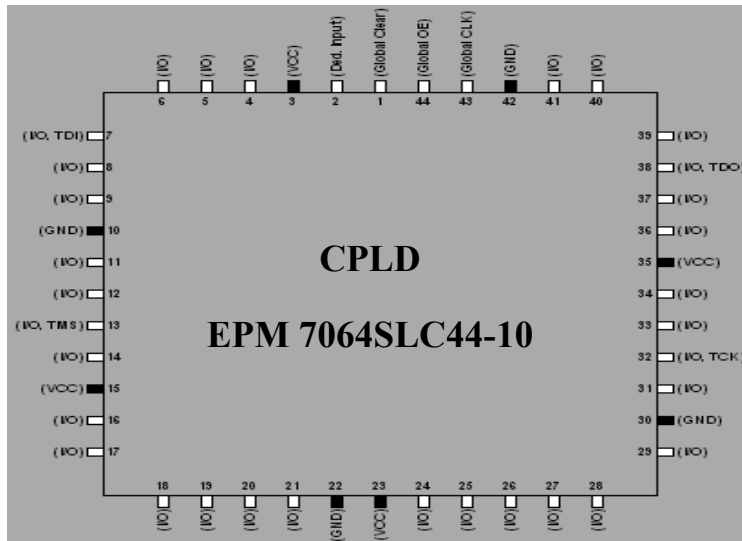
1. LED 顯示電路：顯示輸出狀態 - 低態動作(1 滅；0 亮)。
2. 電子骰子顯示電路：顯示骰子的點數。
3. 七段顯示電路：顯示二位數計時器的數字。
4. 蜂鳴器：輸出聲音。

輸入端介面：

1. USB 電源：提供實習板電源。
2. 電源開關：ON/OFF 電源輸入控制。
3. 並列埠程式下載：下載 CPLD 組合邏輯電路設計檔案。
4. 多段時脈選擇：提供序向邏輯電路設計的時脈(CLOCK)。
5. 功能設定指撥開關：設定 CPLD、LED 電路、七段顯示電路致能。
6. 指撥開關：設定輸入狀態—ON 為 0，OFF 為 1。
7. 按鈕開關：設定輸入狀態—按下為 0，不按為 1。



▲圖(2-26) CPLD 燒錄實習板介面的接腳配置圖。



▲圖(2-27) CPLD EPM7064SLC44-10 晶片接腳圖。

表(2-4) CPLD 燒錄實習板介面的接腳配置表

元件名稱	LED 顯示電路 輸出狀態-低態動作(1 滅; 0 亮)								電子骰子顯示電路 低態動作(1 滅; 0 亮)			
	編號	D2	D3	D4	D5	D6	D7	D8	D9	D10-D11	D12-D13	D14
腳位	P21	P24	P25	P26	P27	P28	P29	P31	P36	P37	P39	P40

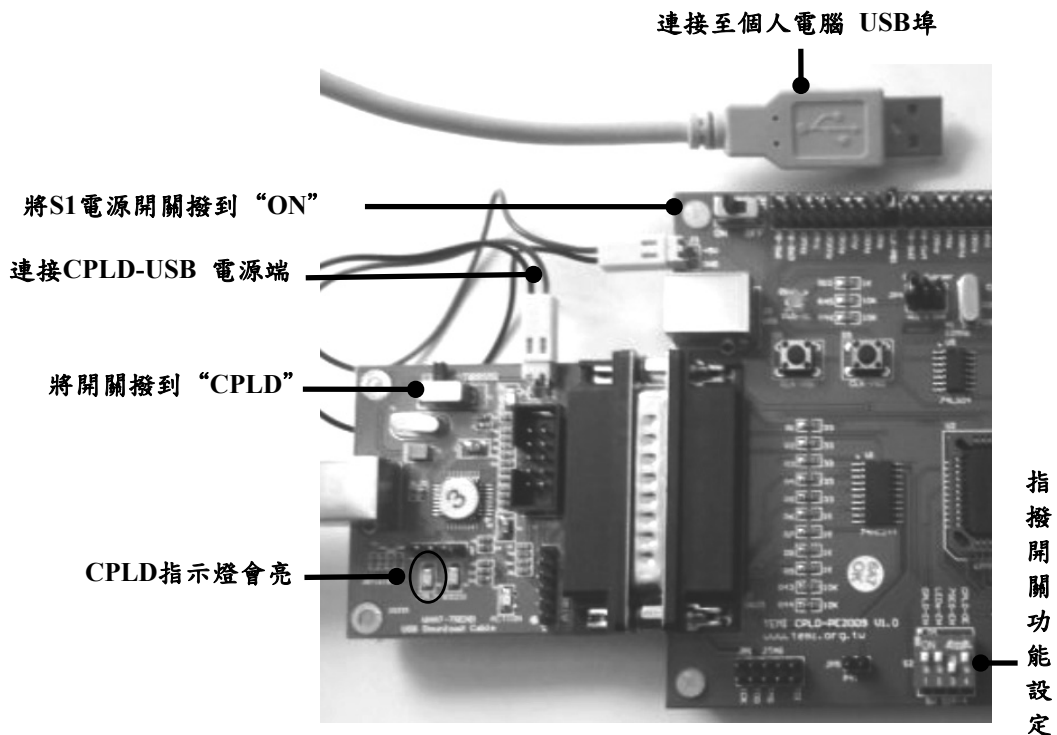
元件名稱	七段顯示電路										蜂鳴器
	編號	DS1	DS2	a	b	c	d	e	f	g	dp
腳位	P34	P33	P21	P24	P25	P26	P27	P28	P29	P31	P20

元件名稱	GCLK1	GCLK2	CLR	SW DIP-4			
	編號	JP2	JP3	JP4	S2		
腳位	P43	P02	P01	(CPLD-EN) P03,P15 P23,P35	(LEDs-EN) D2-D9 致能開關	(7SEG-EN) DS1-DS2 致 能開關	(CPLD-OE) P44

元件名稱	PBSW1 - PB-SW4				SW DIP-8							
	編號	S3	S4	S5	S6	S7						
腳位	P16	P17	P18	P19	DIP1 P04	DIP2 P05	DIP3 P06	DIP4 P08	DIP5 P09	DIP6 P11	DIP7 P12	DIP8 P14

CPLD-USB 燒錄實習板硬體 Setup 步驟如下：(如圖 2-28)所示。

1. 將 CPLD 與 USB 燒錄實習板之間的並列埠連接在一起；CPLD 實習板的電源取自 USB 燒錄板、資料經由個人電腦 USB 串列埠下載。
2. 將 CPLD 燒錄實習板上編號 S1 的電源開關撥到“ON”，編號 S4 指撥開關的『CPLD-EN』撥到“ON”；將 USB 燒錄實習板上的開關撥到“CPLD”。
3. 使用 LED 顯示電路時，必須先將編號 S2 “LEDs-EN” 開關撥到 ON。使用七段顯示電路時，則必須先將編號 S3 “7SEG-EN” 開關撥到 ON。
4. LED 為低態動作。因此，當指撥開關 DIP-SW 撥至「ON」時，經開關會送來低態信號「0」；而當按鈕開關「按下」時，則亦會送出低態信號「0」。



▲圖(2-28) CPLD-USB 燒錄實習板硬體 Setup 示意圖。