

# 編輯大意

- 一、本書係根據 97 年教育部修正發布（99 年度實施）之職業學校電機與電子群「數位邏輯」及「數位邏輯實習」課程綱要編寫而成。
- 二、本書適用於電子科、電機科、資訊科、控制科、冷凍空調科等科，依課綱內容及升學命題趨勢，系統化編排提供學生清晰的數位邏輯觀念及分析、設計數位邏輯電路的能力。
- 三、全書內容分成八部分：
  - （一）升學資訊  
統計各章節在歷屆試題中的命題比例，指引研讀重點及正確方向。
  - （二）命題分析  
分析各章節在歷屆試題中的命題趨勢，配合「重點整理」引導研讀重心，以收事半功倍之效。
  - （三）考前衝刺  
各章首條列摘要研讀重點，方便學前預習、學後複習，快速掌握全章重點。
  - （四）重點整理  
系統整理「數位邏輯」及「數位邏輯實習」的重要觀念、原則、定理、公式等，能快速理解吸收、輕鬆得高分。
  - （五）精選範例  
配合「重點整理」精心設計範例，題題精選，強化重要觀念原則、定理、公式。
  - （六）立即練習  
配合「精選範例」，提供延伸學習，馬上學、立即做，增進應考解題能力。
  - （七）歷屆試題  
各章節末提供「數位邏輯」及「數位邏輯實習」的「四技二專」、「二技」等歷屆試題並附有詳解，增強應考實力。
  - （八）模擬試題  
各章節末提供「模擬試題」綜合練習，可建立統合解題能力。
- 四、本書「立即練習」及「模擬試題」詳解電子檔，可至碁峰網站下載，網址：[http://books.gotop.com.tw/v\\_AER036700](http://books.gotop.com.tw/v_AER036700)
- 五、本書內容經多次校正，力求完善詳實，但疏漏難免，尚祈讀者、先進不吝指正。

# 目錄

CHAPTER

1

## 概論

升學資訊 .....	2
命題分析 .....	2
考前衝刺 .....	2
重點整理 .....	6
1-1 數量的表示法 .....	6
1-2 數位系統及類比系統 .....	7
1-3 邏輯準位 .....	9
1-4 脈波準位 .....	11
1-5 數位積體電路簡介 .....	13
歷屆試題 .....	25
模擬試題 .....	28

CHAPTER

2

## 數字系統

升學資訊 .....	32
命題分析 .....	32
考前衝刺 .....	32
重點整理 .....	35
2-1 簡介 .....	35
2-2 十進位表示法 .....	36
2-3 二進位表示法 .....	37
2-4 八進位表示法 .....	38
2-5 十六進位表示法 .....	39
2-6 數字表示法之互換 .....	41
2-7 補數 .....	49

2-8 數字碼.....	56
歷屆試題.....	65
模擬試題.....	71

## CHAPTER

## 3

## 基本邏輯閘

升學資訊.....	76
命題分析.....	76
考前衝刺.....	76
重點整理.....	78
3-1 反閘.....	78
3-2 或閘.....	81
3-3 及閘.....	83
3-4 反或閘.....	86
3-5 反及閘.....	87
3-6 互斥或閘.....	90
3-7 互斥反或閘.....	92
3-8 正邏輯與負邏輯.....	94
歷屆試題.....	97
模擬試題.....	100

## CHAPTER

## 4

## 布林代數及第摩根定理

升學資訊.....	104
命題分析.....	104
考前衝刺.....	104
重點整理.....	106
4-1 布林代數之特質.....	106
4-2 布林代數之基本運算.....	107
4-3 布林代數之基本定理.....	109

4-4 第摩根定理..... 113

4-5 邏輯閘之互換..... 119

歷屆試題..... 122

模擬試題..... 125

CHAPTER

5

布林函數化簡

升學資訊..... 130

命題分析..... 130

考前衝刺..... 130

重點整理..... 133

5-1 布林函數化簡介紹..... 133

5-2 代數演算法..... 134

5-3 卡諾圖法 (Karnaugh map)..... 140

5-4 組合邏輯電路之化簡..... 151

歷屆試題..... 153

模擬試題..... 163

CHAPTER

6

組合邏輯電路之設計及應用

升學資訊..... 168

命題分析..... 168

考前衝刺..... 168

重點整理..... 173

6-1 組合邏輯電路之設計步驟..... 173

6-2 加法器..... 176

6-3 減法器..... 183

6-4 解碼器..... 187

6-5 編碼器..... 193

6-6 多工器..... 197

6-7	解多工器.....	202
6-8	比較器.....	205
6-9	PLD 簡介.....	209
	歷屆試題.....	216
	模擬試題.....	233

## CHAPTER

## 7

## 正反器

	升學資訊.....	240
	命題分析.....	240
	考前衝刺.....	240
	重點整理.....	242
7-1	循序邏輯.....	242
7-2	RS 門鎖器.....	243
7-3	RS 正反器.....	247
7-4	D 型正反器.....	250
7-5	JK 正反器.....	253
7-6	T 型正反器.....	257
7-7	正反器的互換.....	259
	歷屆試題.....	266
	模擬試題.....	271

## CHAPTER

## 8

## 循序邏輯電路之設計及應用

	升學資訊.....	278
	命題分析.....	278
	考前衝刺.....	278
	重點整理.....	281
8-1	時鐘脈衝產生器.....	281
8-2	非同步計數器.....	287

8-3	移位暫位器.....	294
8-4	狀態圖及狀態表簡介.....	297
8-5	同步計數器.....	300
8-6	應用實例介紹.....	307
	<b>歷屆試題</b> .....	<b>312</b>
	<b>模擬試題</b> .....	<b>323</b>

# CHAPTER 8

## 循序邏輯電路之 設計及應用

---

升學資訊

命題分析

考前衝刺

重點整理

8-1 時鐘脈衝產生器

8-2 非同步計數器

8-3 移位暫位器

8-4 狀態圖及狀態表簡介

8-5 同步計數器

8-6 應用實例介紹

歷屆試題

模擬試題

---

## 升學資訊

數位邏輯	98	99	100	101	102
時鐘脈衝產生器					
非同步計數器	2	1	2	1	
移位暫存器					1
狀態圖及狀態表簡介	1		1	1	1
同步計數器		1	2	1	3
應用實例介紹		2	1		1

## 命題分析

本章的命題趨勢為非同步計數器及同步計數器，考試重點如計數模數及使用正反器數目、最高輸入波形工作頻率及延遲時間的計算、輸出波形的頻率及工作週期的計數等，必須真正理解，才能得高分。

## 考前衝刺

1. 多諧振盪器可分成三種型式：
  - (1) 無穩態 (Astable) 多諧振盪器
  - (2) 單穩態 (Mono-stable) 多諧振盪器
  - (3) 雙穩態 (Bi-stable) 多諧振盪器



2. 無穩態多諧振盪器

種類	電路圖	輸出波形	輸出週期
<p>TTL 無穩態</p>			
<p>CMOS 無穩態</p>	<p style="text-align: center;"><math>R_S \geq 10R</math></p>		<p style="text-align: center;"><math>T = 2.2RC</math></p>

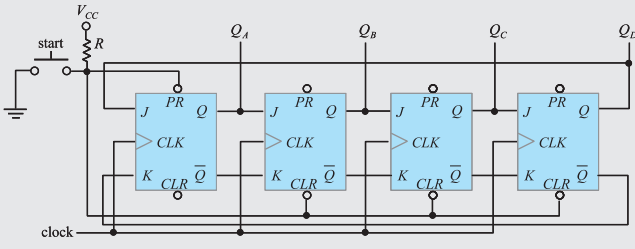
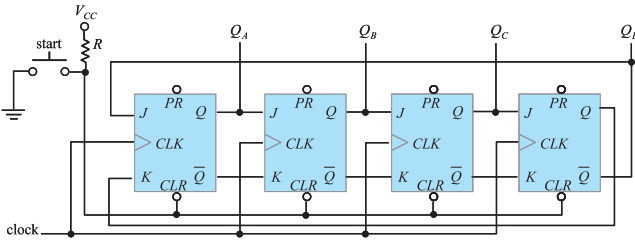
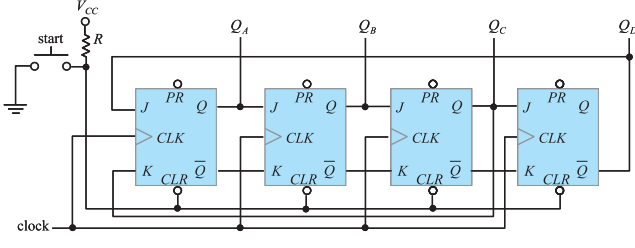
## 3. 計數器：

種類	型式	電路圖	應用 IC
非同步	上數		7490(除2, 除5) 7492(除2, 除6) 7493(除2, 除8)
	下數		7490(除2, 除5) 7492(除2, 除6) 7493(除2, 除8)
同步	上數		74190(BCD計數器) 74191(二進計數器) 74192(BCD計數器) 74193(二進計數器)
	下數		74190(BCD計數器) 74191(二進計數器) 74192(BCD計數器) 74193(二進計數器)

## 4. 移位暫存器依資料輸入、輸出方式可分為四種：

- (1) 串入串出(serial in - serial out, 簡記 SISO) 移位暫存器。
- (2) 串入並出(serial in - parallel out, 簡記 SIPO) 移位暫存器。
- (3) 並入串出(parallel in - serial out, 簡記 PISO) 移位暫存器。
- (4) 並入並出(parallel in - parallel out, 簡記 PIPO) 移位暫存器。

## 5. 移位計數器

種類	型式	電路圖	計數模數
環型	-		$n$
強生	偶數		$2n$
強生	奇數		$2n-1$

## 重點整理

### 8-1 時鐘脈衝產生器

1. 時鐘脈衝 (clock pulse) 又稱為計時脈波 (timing pulse)，在循序邏輯電路中經常被使用，使信號能隨著時間同步變化。
2. 在循序邏輯電路中用來產生計時脈波的電路稱為多諧振盪器 (multivibrators)，可分為三種型式：
  - (1) 無穩態 (Astable) 多諧振盪器
  - (2) 單穩態 (Mono-stable) 多諧振盪器
  - (3) 雙穩態 (Bi-stable) 多諧振盪器

3. TTL 無穩態多諧振盪器

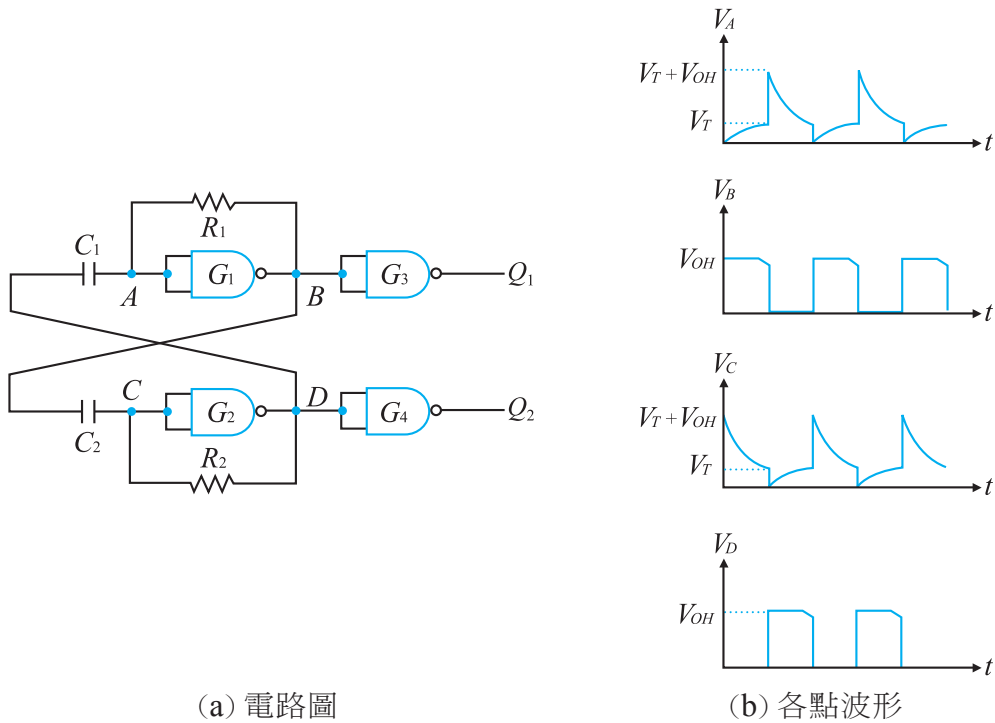
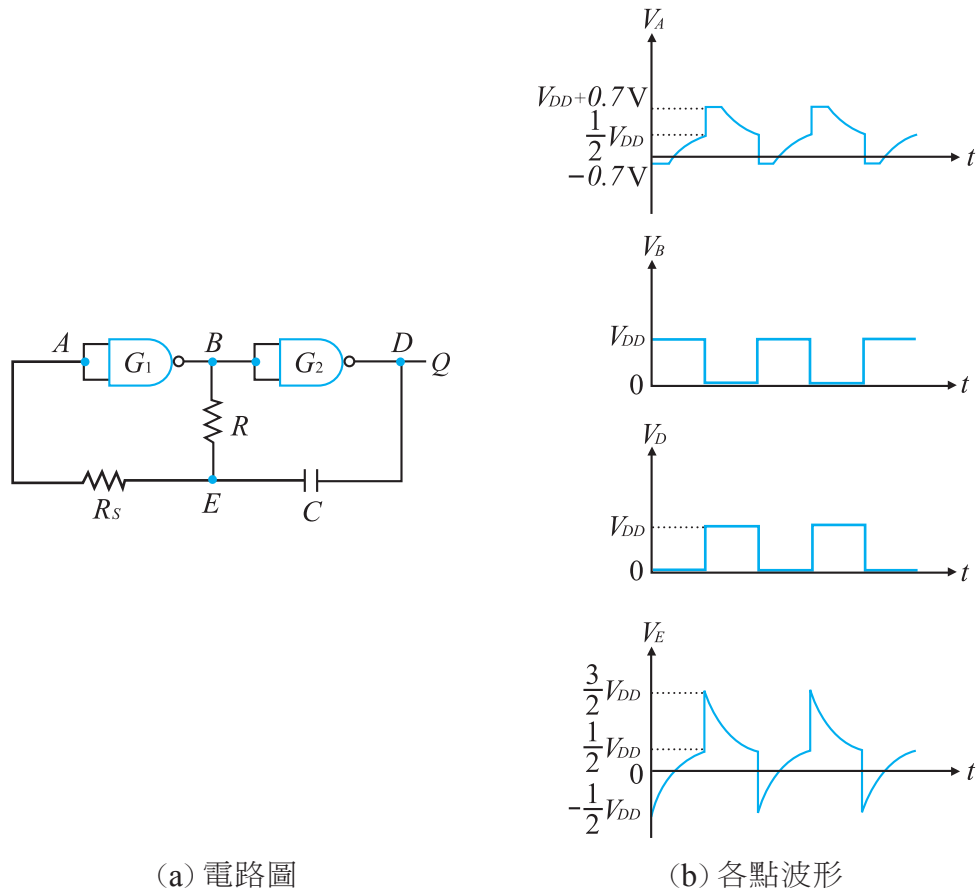


圖 8-1 TTL 無穩態多諧振盪器

- (1) 如圖 8-1 所示 TTL 無穩態多諧振盪器，電阻  $R_1$  及  $R_2$  使各閘工作於臨界電壓  $V_T$  附近 ( $V_{IL} < V_T < V_{IH}$ )。
- (2) 當電源開啟時，假設 D 點為低電位，在此瞬間 A 點亦為低電位，經  $G_1$  反相閘轉態後，B 點為高電位，而 C 點亦為高電位。
- (3) 由於 B 點為高電位，而 D 點為低電位，因此 B 點的高電位經  $R_1$  向  $C_1$  充電，使 A 點電位增加至高電位，經  $G_1$  反相閘轉態後，B 點變為低電位；B 點的高電位同時也經  $R_2$  向  $C_2$  充電，使 C 點電位減少至低電位，經  $G_2$  反相閘轉態後，D 點變為高電位。
- (4) 由於 B 點為低電位，而 D 點為高電位，因此 D 點的高電位經  $R_1$  向  $C_1$  充電，使 A 點電位減少至低電位，經  $G_1$  反相閘轉態後，B 點變為高電位；D 點的高電位同時也經  $R_2$  向  $C_2$  充電，使 C 點電位增加至高電位，經  $G_2$  反相閘轉態後，D 點變為低電位。
- (5) 電路不斷重覆步驟 (3)(4) 形成振盪，振盪週期主要由  $C_1$ 、 $C_2$  及  $G_1$ 、 $G_2$  反相閘內部輸入阻抗決定，與  $R_1$ 、 $R_2$  無關。 $G_1$ 、 $G_2$  反相閘的功能是波形整形。

## 4. CMOS 無穩態多諧振盪器



(a) 電路圖

(b) 各點波形

圖 8-2 CMOS 無穩態多諧振盪器

- (1) 如圖 8-2 所示 CMOS 無穩態多諧振盪器，臨界電壓  $V_T$  約為電源電壓的一半，即  $V_T = \frac{1}{2}V_{DD}$ 。  $R_S$  電阻的作用在隔離 RC 回路與  $G_1$  反相閘，以避免  $G_1$  反相閘的輸入端保護二極體影響振盪週期。
- (2) 當電源開啟時，電容器  $C$  尚未充電，因此 A 點為低電位，經  $G_1$  及  $G_2$  反相閘轉態後，B 點為高電位，D 點為低電位。
- (3) 由於 B 點為高電位，而 D 點為低電位，因此 B 點的高電位經  $R$  向  $C$  充電，使 E 點電位逐漸增加，因為 CMOS 輸入阻抗無限大，所以 A 點電位也隨之增加。當電容充電至大於臨界電位  $V_T$  時，A 點由低電位轉態至高電位，經  $G_1$  及  $G_2$  反相閘轉態後，B 點變為低電位，而 D 點變為高電位。由於電容兩端電壓瞬間保持不變，因 D 點電位由 0 變為  $V_{DD}$ ，故 E 點電位為  $V_C + V_D = V_T + V_{DD} = \frac{3}{2}V_{DD}$ 。

- (4) 由於 E 點為高電位，而 B 點為低電位，此時電容開始經由電阻  $R$  放電，E 點電位遂漸下降，因為 CMOS 輸入阻抗無限大，所以 A 點電位也隨之下降。當電容放電至小於臨界電位  $V_T$  時，A 點由高電位轉態至低電位，經  $G_1$  及  $G_2$  反相開轉態後，B 點變為高電位，而 D 點變為低電位。由於電容兩端電壓瞬間保持不變，因 D 點電位由  $V_{DD}$  變為 0，故 E 點電位為  $V_C + V_D = V_T - V_{DD} = -\frac{1}{2}V_{DD}$ 。
- (5) 電路不斷重覆步驟 (3)(4) 形成振盪，振盪週期主要由  $R$ 、 $C$  決定，其值為  $T = 2.2RC$ 。

5. 施密特無穩態多諧振盪器

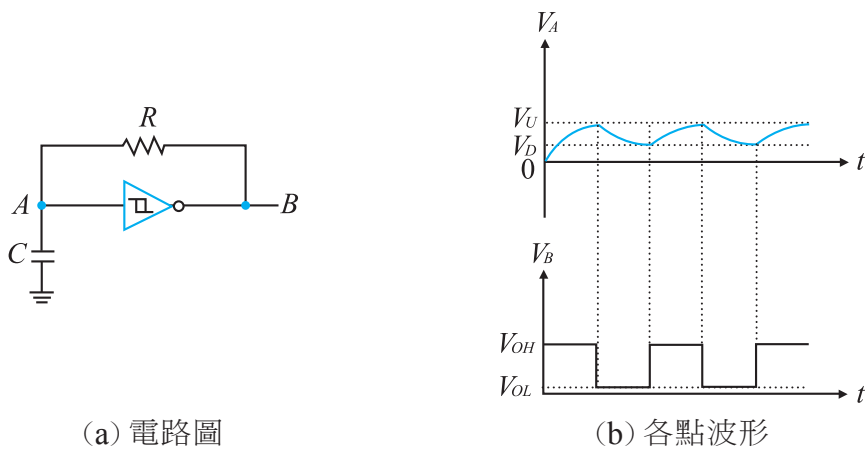
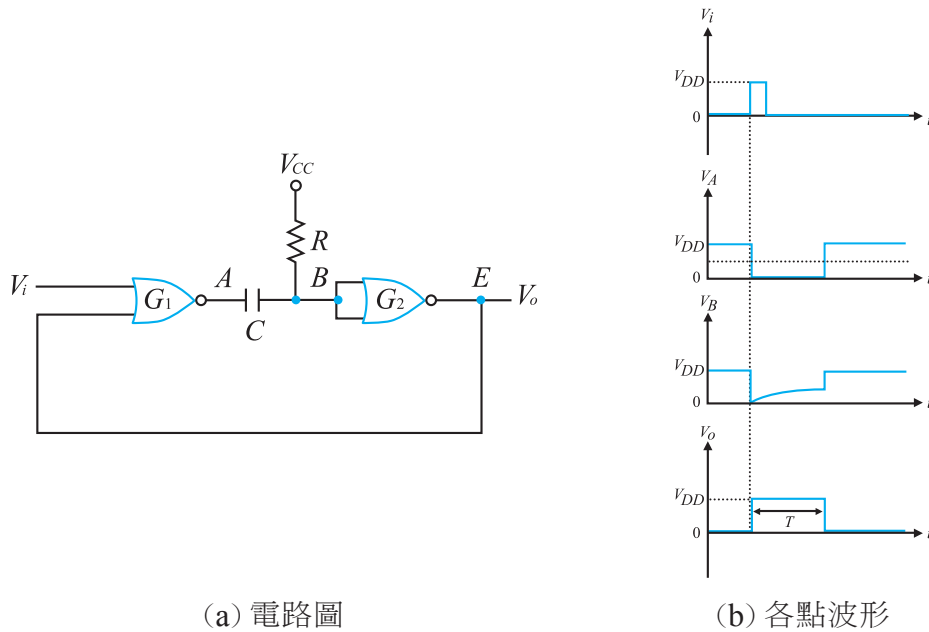


圖 8-3 施密特無穩態多諧振盪器

- (1) 如圖 8-3 所示施密特無穩態多諧振盪器，電源開啟瞬間，電容電壓為 0，A 點為低電位，經反相器反相後，B 點為高電位  $V_{OH}$ 。
- (2) 因 B 點為高電位，A 點為低電位，B 點高電位經電阻  $R$  向電容  $C$  充電，當電容充電至上比較電位  $V_U$  時，經反相器反相後，B 點轉態為低電位  $V_{OL}$ 。
- (3) 因 A 點為高電位，B 點為低電位，電容開始經由電阻  $R$  放電，當電容電位低於下比較電位  $V_D$  時，經反相器反相後，B 點轉態為高電位  $V_{OH}$ ，電路不斷重覆步驟 (2)(3) 形成振盪。

## 6. CMOS 單穩態多諧振盪器



(a) 電路圖

(b) 各點波形

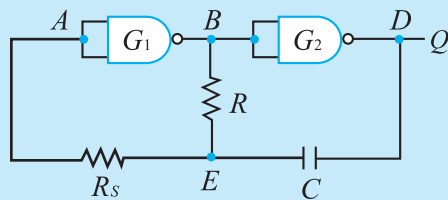
圖 8-4 CMOS 單穩態多諧振盪器

- (1) 如圖 8-4 所示 CMOS 單穩態多諧振盪器，臨界電壓  $V_T$  約為電源電壓的一半，即  $V_T = \frac{1}{2}V_{DD}$ 。在沒有輸入信號觸發時，輸出維持一穩定狀態。
- (2) 當輸入一正緣觸發信號時， $G_1$  閘輸出為低電位，由於電容兩端電壓瞬間保持不變，因 A 點電位為 0，故 B 點電位亦為 0，B 點電位經  $G_2$  閘反相使 E 點為高電位（不穩定狀態）。
- (3) 由於 B 點為低電位，因此電源電壓  $V_{CC}$  經  $R$  向  $C$  充電，使 B 點電位遂漸上升，當  $V_B \geq V_T$  時，B 點轉態為高電位，使 E 點轉態為低電位。
- (4) 因輸入端及 E 點同時為低電位，使 A 點為高電位，由於電容兩端電壓瞬間保持不變，因 A 點電位為  $V_{CC}$  故 B 點電位亦為  $V_{CC}$ ，電容無法充電，電路維持穩定狀態。
- (5) CMOS 單穩態多諧振盪器的輸出脈波  $T = 0.7RC$ 。



精選範例

1. 如圖(1)所示為何種電路？



圖(1)

- (A) 雙穩態多諧振盪器                      (B) 單穩態多諧振盪器  
(C) 無穩態多諧振盪器                      (D) 樞密特觸發電路

答 (C)

解 電路為無穩態多諧振盪器，輸出  $Q$  為對稱方波。

2. 續上題圖中，輸出波形頻率為何？

- (A)  $\frac{1}{2\pi RC}$       (B)  $\frac{1}{2.2RC}$       (C)  $\frac{1}{2\pi R_s C}$       (D)  $\frac{1}{2.2R_s C}$

答 (B)



立即練習

1. 有關多諧振盪器之敘述，下列何者是錯誤的？
- (A) 多諧振盪器的輸出為數位信號  
(B) 無穩態、單穩態及雙穩態電路皆屬多諧振盪器  
(C) 單穩態電路又稱單擊電路  
(D) 無穩態電路須由控制信號觸發才可工作



2. 如圖 (2) 所示為何種電路？

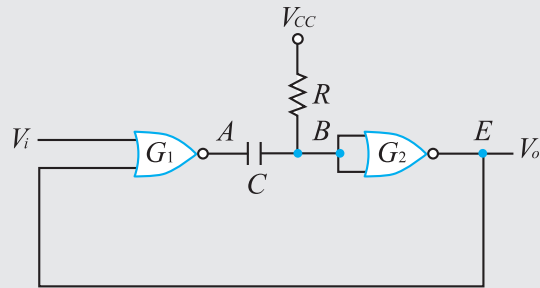


圖 (2)

- (A) 雙穩態多諧振盪器                      (B) 單穩態多諧振盪器  
(C) 無穩態多諧振盪器                      (D) 樞密特觸發電路

3. 續上題圖中，輸出脈波長度為何？

- (A)  $0.7RC$       (B)  $1.1RC$       (C)  $1.4RC$       (D)  $2.2RC$

答 1.(D) 2.(B) 3.(A)

## 8-2 非同步計數器

- 計數器 (counter) 在數位系統中的主要功能為測量時間、週期或頻率。
- 計數器可分為非同步計數器 (asynchronous counter) 與同步計數器 (synchronous counter) 兩種型式。
  - 非同步計數器：除了第一個正反器由計時脈波觸發外，其餘正反器都是由前一個正反器的輸出觸發，如同漣波一樣，因此又稱為漣波計數器 (ripple counter)。漣波計數器硬體結構簡單，但速度慢。
  - 同步計數器：每一個正反器都是由計時脈波同步觸發，同步計數器速度快但硬體成本高。

3. 除  $2^n$  上數計數器：

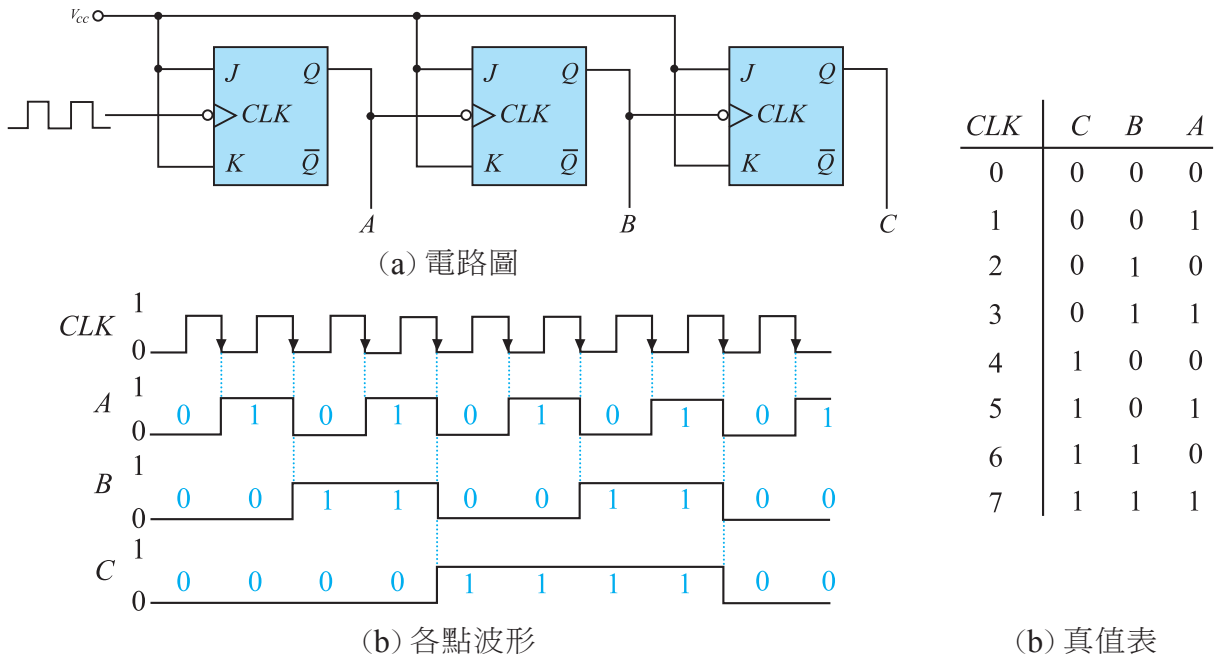


圖 8-5 除 8 上數連波計數器

- 如圖 8-5 所示三位元二進位上數連波計數器，由三個負緣觸發的 JK 正反器組成。每個正反器並非同步變化，而是由計時脈波負緣驅動 A 正反器，A 正反器輸出  $Q$  負緣驅動 B 正反器，B 正反器輸出  $Q$  負緣驅動 C 正反器。
- 計數值由  $CBA = 000$  開始，在每個計時脈波負緣變化時上數加 1，直到  $CBA = 111$  為止，共有八種計數值。三個正反器可以得到 0~7 等八個上數計數值，同理， $n$  個正反器可以得到 0~ $2^n - 1$  等  $2^n$  個上數計數值。
- 每個正反器的輸出波形頻率是輸入波形頻率的一半，因此

輸出	頻率	工作週期
A	$f_A = \frac{f_{CLK}}{2}$	50%
B	$f_B = \frac{f_A}{2} = \frac{f_{CLK}}{4}$	50%
C	$f_C = \frac{f_B}{2} = \frac{f_A}{4} = \frac{f_{CLK}}{8}$	50%

表 6-1 除 8 下數連波計數器

- 速解： $Q$  連接至 CLK 取“+”，CLK 為負緣觸發取“-”，輸出 A、B、C 連接至  $Q$  取“+”，故  $(+)(-)(+) = (-)$  為上數計數。  
(若  $\bar{Q}$  連接至 CLK 取“-”，若 CLK 為正緣觸發取“+”)

4. 除  $2^n$  下數計數器：

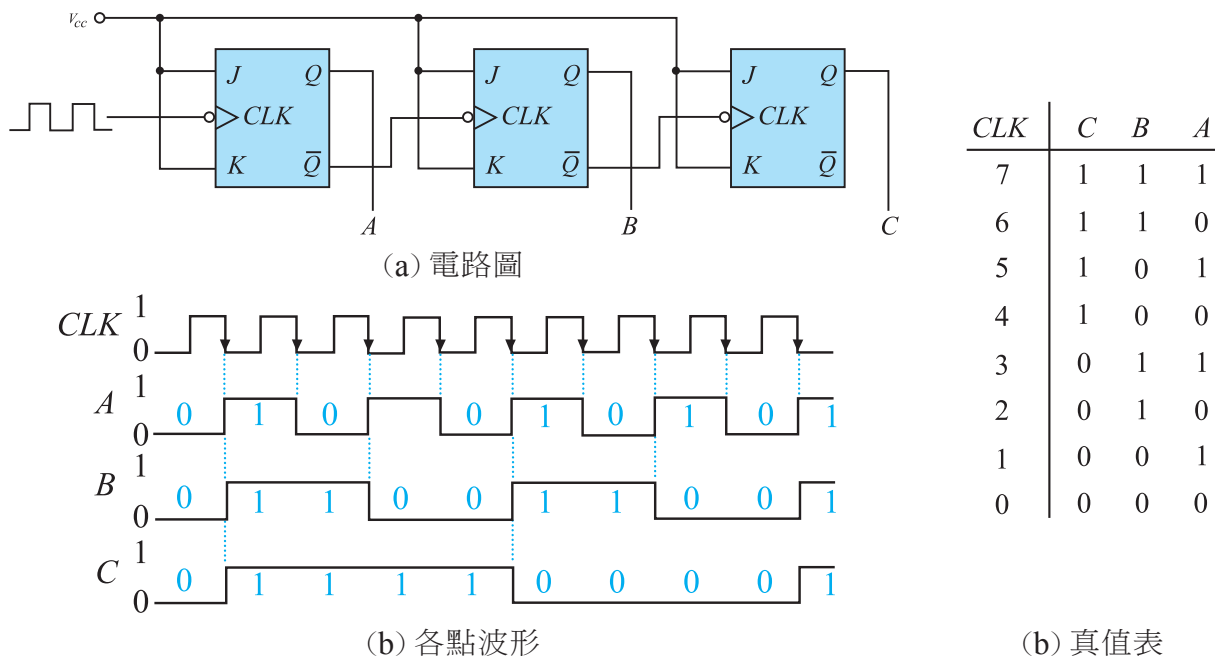


圖 8-6 除 8 下數連波計數器

- 如圖 8-6 所示為除 8 下數連波計數器，由三個負緣觸發的 JK 正反器組成。每個正反器並非同步變化，而是由計時脈波負緣驅動 A 正反器，A 正反器輸出  $\bar{Q}$  負緣驅動 B 正反器（或 A 正反器輸出 Q 正緣驅動 B 正反器），B 正反器輸出  $\bar{Q}$  負緣驅動 C 正反器（或 B 正反器輸出 Q 正緣驅動 C 正反器）。
- 計數值由  $CBA = 111$  開始，在每個計時脈波負緣變化時下數減 1，直到  $CBA = 000$  為止，共有八種計數值。三個正反器可以得到 7 ~ 0 等八個下數計數值，同理， $n$  個正反器可以得到  $2^n - 1 \sim 0$  等  $2^n$  個下數計數值。
- 每個正反器的輸出波形頻率是輸入波形頻率的一半，因此

輸出	頻率	工作週期
A	$f_A = \frac{f_{CLK}}{2}$	50%
B	$f_B = \frac{f_A}{2} = \frac{f_{CLK}}{4}$	50%
C	$f_C = \frac{f_B}{2} = \frac{f_A}{4} = \frac{f_{CLK}}{8}$	50%

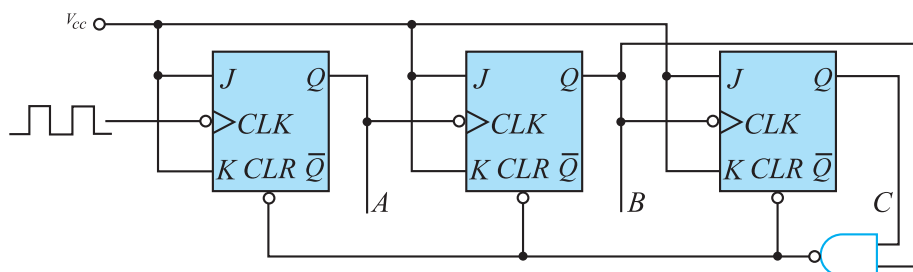
表 6-2 除 8 下數連波計數器

- 速解： $\bar{Q}$  連接至 CLK 取“-”，CLK 為負緣觸發取“-”，輸出 A、B、C 連接至 Q 取“+”，故  $(-)(-)(+)=(+)$  為下數計數。

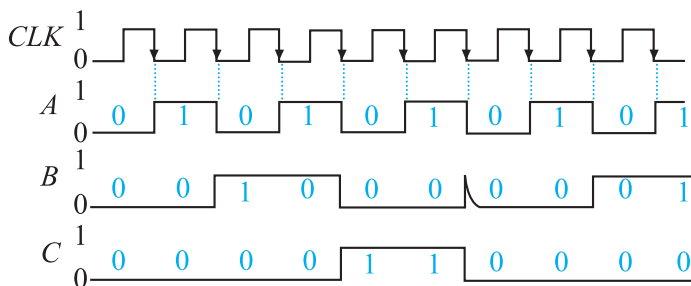
## 5. 連波計數器的設計：

- (1) 決定正反器的數目  $n$ ：計數模數  $2^n \geq N$ 。
- (2) 將所有正反器連接成二進連波計數器。
- (3) 將計數值  $N$  中所有正反器輸出值為 1 的部份連接至 NAND 閘輸入端，再將 NAND 閘輸出端連接至每一個正反器的清除端 (clear)。

## 6. 除 $N$ 上數計數器：



(a) 電路圖



(b) 各點波形

CLK	C	B	A
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1

(b) 真值表

圖 8-7 除 6 上數連波計數器

- (1) 如圖 8-7 所示為除 6 上數連波計數器，計數模數  $N = 6$ ，因  $2^3 > 6$ ，故使用三個 JK 正反器。
- (2) 將所有正反器連接成二進連波上數計數器，並使用 NAND 閘與計數器輸出連接。
- (3) 當  $CBA = N_{(10)} = 6_{(10)} = 110_{(2)}$  時，所有輸出清除為 0，使計數值為 0 ~ 5 共有六種狀態。因此，將 C 及 B 分別連接至 NAND 閘輸入端，再將 NAND 閘輸出端連接至所有正反器的清除端 (clear)。

(4) 每個正反器的輸出波形頻率是輸入波形頻率的一半，因此

輸出	頻率	工作週期
$A$	$f_A = \frac{f_{CLK}}{2}$	50%
$B$	$f_B = \frac{f_{CLK}}{6}$	$\frac{2}{6} \times 100\% = 33.3\%$
$C$	$f_C = \frac{f_{CLK}}{6}$	$\frac{2}{6} \times 100\% = 33.3\%$

表 6-3 除 6 上數連波計數器

### 7. 非同步計數器 IC 7490/7492/7493

- (1) 商用非同步計數器 IC 有 7490、7492、7493 等，其中 7490 內含兩組計數器，一為除 2 計數器，一為除 5 計數器；7492 內含兩組計數器，一為除 2 計數器，一為除 6 計數器；7493 內含兩組計數器，一為除 2 計數器，一為除 8 計數器。
- (2) 當計時脈波加至  $A$  輸入端時， $Q_A$  輸出為除 2 計數器，當計時脈波加至  $B$  輸入端時， $Q_D Q_C Q_B$  為除 5 計數器。
- (3)  $R_{0(1)}$  及  $R_{0(2)}$  為清除輸入，當  $R_{0(1)} = R_{0(2)} = 1$  時，輸出  $Q_D Q_C Q_B Q_A = 0000$ ， $R_0$  優先權高於  $R_9$ 。
- (4)  $R_{9(1)}$  及  $R_{9(2)}$  為預設輸入，當  $R_{9(1)} = R_{9(2)} = 1$  時，輸出  $Q_D Q_C Q_B Q_A = 1001$ 。

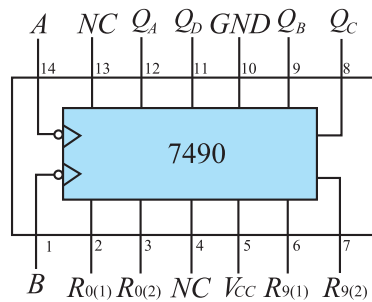


圖 8-8 7490 非同步計數器 IC

工作模式	輸入				輸出	
	$R_0 = R_{0(1)} R_{0(2)}$	$R_9 = R_{9(1)} R_{9(2)}$	$A$	$B$	$Q_D Q_C Q_B$	$Q_A$
清除	1	×	×	×	000	0
預設	0	1	×	×	100	1
計數	0	0		×	不變	除 2 上數
	0	0	×		除 5 上數	不變



精選範例

1. 由 6 個 JK 正反器組成之非同步計數器，計數最大值為何？  
 (A) 5 (B) 6 (C) 63 (D) 64

答 (C)

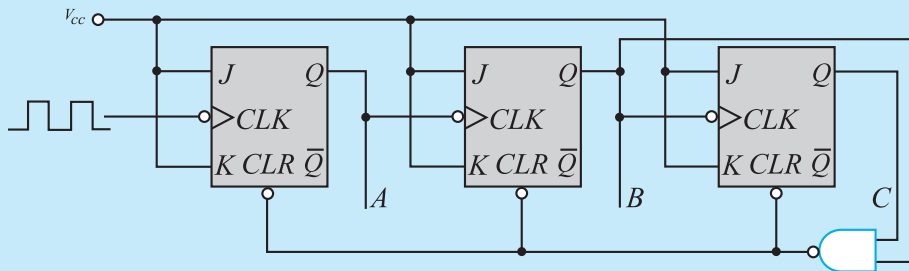
解  $n$  個 JK 正反器組成之非同步計數器，其計數值為  $0 \sim 2^n - 1$ ，若  $n = 6$ ，則  $2^6 - 1 = 63$

2. 設計一個除 10 的非同步上數計數器，最少需要使用幾個 JK 正反器？  
 (A) 4 (B) 5 (C) 10 (D) 1024

答 (A)

解  $2^n - 1 \geq 10$ ，則  $n = 4$

3. 如圖(1)所示，已知輸入脈波頻率為 12kHz，求輸出 C 波形頻率為何？



圖(1)

- (A) 1.5kHz (B) 2kHz (C) 4kHz (D) 8kHz

答 (B)

解  $f_C = \frac{f_{CLK}}{6} = \frac{12\text{kHz}}{6} = 2\text{kHz}$

4. 續上題圖中，若將 NAND 閘的輸入改接至 JK 正反器的輸出 A 及輸出 C，則最大計數值為何？  
 (A) 4 (B) 5 (C) 6 (D) 7

答 (A)

解 當  $CBA = 101_{(2)}$  時， $CLR = 0$ ，使所有 JK 正反器的輸出清除為 0，因此最大計數值為  $100_{(2)} = 4$



### 立即練習

- 由 5 個 JK 正反器組成之非同步計數器，計數最大值為何？  
(A) 4 (B) 5 (C) 31 (D) 32
- 設計一個除 3 的非同步上數計數器，最少需要使用幾個 JK 正反器？  
(A) 2 (B) 3 (C) 7 (D) 8
- 如圖 (2) 所示，已知輸入脈波頻率為 12kHz，求輸出 A、B 波形頻率分別為何？

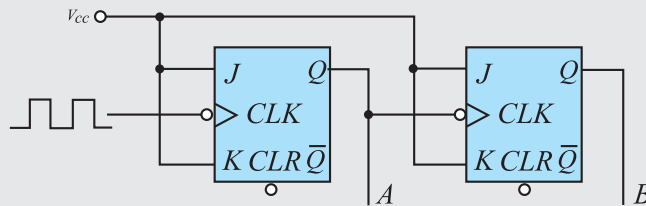


圖 (2)

- $f_A = 0$  ,  $f_B = 0$  (B)  $f_A = 3\text{kHz}$  ,  $f_B = 3\text{kHz}$
  - $f_A = 3\text{kHz}$  ,  $f_B = 6\text{kHz}$  (D)  $f_A = 6\text{kHz}$  ,  $f_B = 3\text{kHz}$
- 續上題圖中，若將所有正反器的 J、K 改接地，求輸出 A、B 波形頻率分別為何？  
(A)  $f_A = 0$  ,  $f_B = 0$  (B)  $f_A = 3\text{kHz}$  ,  $f_B = 3\text{kHz}$   
(C)  $f_A = 3\text{kHz}$  ,  $f_B = 6\text{kHz}$  (D)  $f_A = 6\text{kHz}$  ,  $f_B = 3\text{kHz}$
  - 如圖 (3) 所示，已知 ABC 初值為 000，所有 J、K 均接 1，求經過三個時脈後 ABC 的值為何？

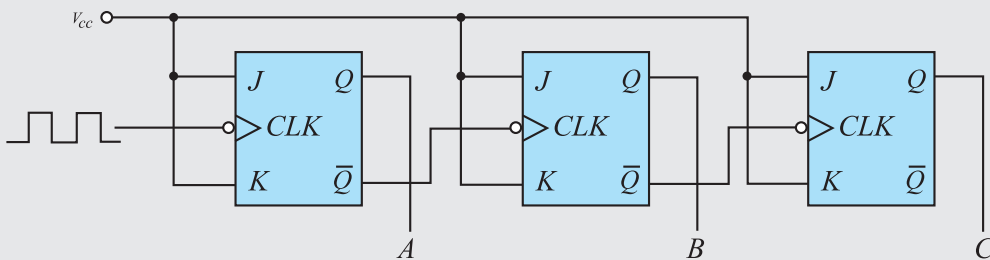


圖 (3)

- 010 (B) 101 (C) 110 (D) 111

- ( ) 1. 下列何者其輸出不是數位信號？  
 (A) 無穩態多諧振盪器 (B) 單穩態多諧振盪器  
 (C) 施密特振盪器 (D) 韋恩振盪器
- ( ) 2. 模數為 16 的非同步計數器，至少需使用幾個 JK 正反器？  
 (A) 4 (B) 5 (C) 16 (D)  $2^{16}$
- ( ) 3. 由 5 個 JK 正反器所組成的同步計數器，最多可計數 0 到多少？  
 (A) 15 (B) 16 (C) 31 (D) 32
- ( ) 4. 如圖 (1) 所示電路，若計時脈波 CLK 的頻率為 4kHz，則輸出  $Q_A$  及  $Q_B$  的頻率分別為何？

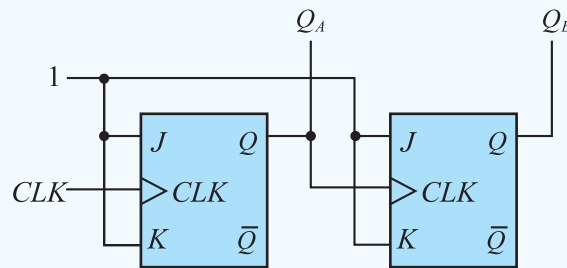


圖 (1)

- (A)  $f_A = 1\text{kHz}$  ,  $f_B = 1\text{kHz}$  (B)  $f_A = 1\text{kHz}$  ,  $f_B = 2\text{kHz}$   
 (C)  $f_A = 2\text{kHz}$  ,  $f_B = 1\text{kHz}$  (D)  $f_A = 4\text{kHz}$  ,  $f_B = 4\text{kHz}$
- ( ) 5. 暫存器是由下列何者組成？  
 (A) 比較器 (B) 解碼器 (C) 加法器 (D) 正反器
- ( ) 6. 在邏輯電路中，其輸出除了與目前的輸入狀態有關之外，也與前一個輸出狀態有關的是何種電路？  
 (A) 組合邏輯電路 (B) 順序邏輯電路  
 (C) 浮點運算電路 (D) 加法運算電路
- ( ) 7. 在計時脈波觸發下，若 JK 正反器的輸出由 0 變成 1，則 JK 為何？(× 為 Don't care)  
 (A) 0× (B) 1× (C) ×0 (D) ×1



# 模擬試題

- ( ) 8. 在計時脈波觸發下，若 JK 正反器輸出狀態由 1 變為 0，則輸入 JK 為何？  
(× 為 Don't care)  
(A) 0× (B) 1× (C) ×0 (D) ×1
- ( ) 9. 在計時脈波觸發下，若 D 正反器輸出狀態由 1 變為 0，則輸入 D 為何？  
(× 為 Don't care)  
(A) 0 (B) 1 (C) × (D) 以上皆非
- ( ) 10. 在計時脈波觸發下，若 T 正反器輸出狀態由 0 變為 1，則輸入 T 為何？  
(× 為 Don't care)  
(A) 0 (B) 1 (C) × (D) 以上皆非
- ( ) 11. 下列何者不是組合邏輯？  
(A) 正反器 (B) 邏輯閘 (C) 解碼器 (D) 加法器
- ( ) 12. 下列何者不是順序邏輯？  
(A) 正反器 (B) 計數器 (C) 暫存器 (D) 多工器
- ( ) 13. 如圖 (2) 所示之 T 正反器，若輸入  $T=1$ ，則輸出  $Q$  及  $\bar{Q}$  的狀態為何？  
(× 為 Don't care)

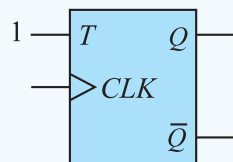


圖 (2)

- (A) (B) (C) (D)

- ( ) 14. 如圖 (3) 所示之 JK 正反器，若輸入  $J=K=1$ ，且計時脈波 CLK 頻率為 10kHz，則輸出  $Q$  的頻率為何？

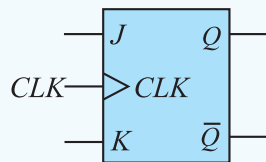
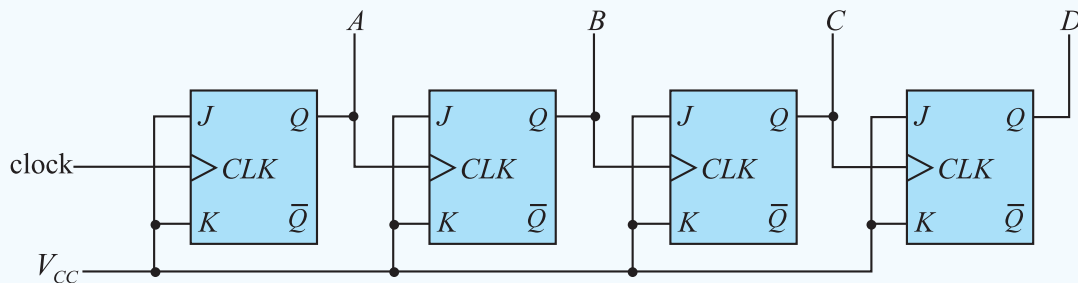


圖 (3)

- (A) 0 (B) 5kHz (C) 10kHz (D) 20kHz

- ( )15. 續上題，若輸入  $J=1$ ， $K=0$ ，且計時脈波 CLK 頻率為 10kHz，則輸出  $Q$  的頻率為何？  
 (A) 0 (B) 5kHz (C) 10kHz (D) 20kHz
- ( )16. 設計一個 12 模非同步計數器，至少需要  
 (A) 4 (B) 5 (C) 12 (D) 24
- ( )17. 設計一個 8 模的環型計數器，至少需要幾個 JK 正反器？  
 (A) 3 (B) 4 (C) 8 (D) 256
- ( )18. 設計一個 8 模的強生計數器，至少需要幾個 JK 正反器？  
 (A) 3 (B) 4 (C) 8 (D) 256
- ( )19. 如圖(4)所示為一個 4 位元的異步計數器，若每個正反的傳播延遲時間為 50ns，則可加入的最高 clock 頻率為何？



圖(4)

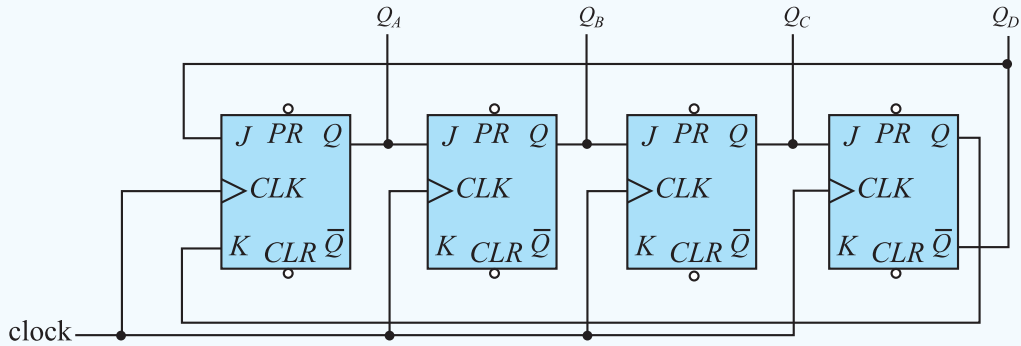
- (A) 200kHz (B) 5MHz (C) 12.5MHz (D) 20MHz
- ( )20. 若一 4 位元下數計數器 (Down counter) 輸出端  $Q_3Q_2Q_1Q_0$  設定初值為 0101，則經過 3 個脈波後，計數器輸出端  $Q_3Q_2Q_1Q_0$  變成  
 (A) 1000 (B) 1010 (C) 0010 (D) 0001
- ( )21. 若一 3 位元 6 模上數計數器 (Down counter) 輸出端  $Q_2Q_1Q_0$  設定初值為 000，當輸出端  $Q_2Q_1Q_0$  為 010 時，再經過 20 個脈波後，計數器輸出端  $Q_2Q_1Q_0$  變成  
 (A) 000 (B) 010 (C) 100 (D) 101
- ( )22. 使用 4 個 JK 正反器設計計數器，下列何者可產生最大計數？  
 (A) 二進計數器 (B) 環型計數器  
 (C) 奇數強生計數器 (D) 偶數強生計數器

# 模擬試題

( ) 23. 同步計數器與非同步計數器比較，其最大的優點為何？

- (A) 電路簡單 (B) 設計容易 (C) 計數模數大 (D) 速度快

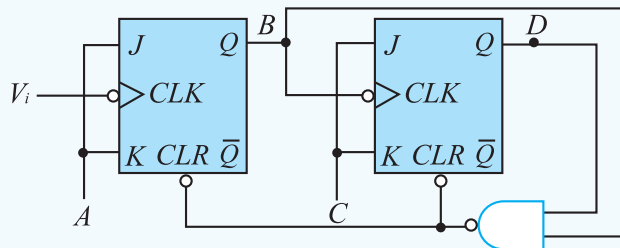
( ) 24. 如圖(5)所示電路，若輸入計時脈波頻率為16kHz，則 $Q_C$ 輸出波形的工作週期及頻率為何？



圖(5)

- (A) 25%，4KHz (B) 25%，8KHz (C) 50%，2KHz (D) 50%，8KHz

( ) 25. 如圖(6)所示， $V_i$ 為12kHz，0到5V方波，若 $A=C=5V$ ，則B點與D點的頻率為多少？



圖(6)

- (A)  $B=6\text{kHz}$ ， $D=3\text{kHz}$  (B)  $B=6\text{kHz}$ ， $D=1.5\text{kHz}$   
 (C)  $B=4\text{kHz}$ ， $D=4\text{kHz}$  (D)  $B=3\text{kHz}$ ， $D=3\text{kHz}$

解題

- 1.(D) 2.(A) 3.(C) 4.(C) 5.(D) 6.(B) 7.(B) 8.(D) 9.(A) 10.(B)  
 11.(A) 12.(D) 13.(A) 14.(B) 15.(A) 16.(A) 17.(C) 18.(B) 19.(B) 20.(C)  
 21.(C) 22.(A) 23.(D) 24.(C) 25.(C)